

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 9 月 22 日 (22.09.2005)

PCT

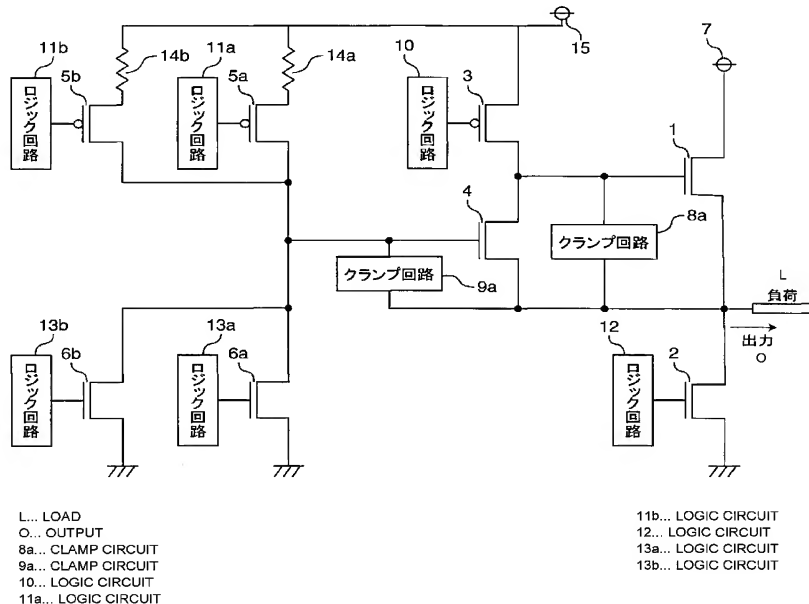
(10) 国際公開番号
WO 2005/088815 A1

- (51) 国際特許分類: H02M 1/08 (74) 代理人: 小栗 昌平, 外(OGURI, Shohei et al.); 〒1076013 東京都港区赤坂一丁目 1 2 番 3 2 号 アーク森ビル 1 3 階 栄光特許事務所 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2005/004220
- (22) 国際出願日: 2005 年 3 月 10 日 (10.03.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-069077 2004 年 3 月 11 日 (11.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 蛇見 尚也 (JAMI, Naoya) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

[続葉有]

(54) Title: MOTOR DRIVE CIRCUIT

(54) 発明の名称: モーター駆動回路



(57) Abstract: A motor drive circuit having a final output at the common connection node of the source of a first NMOS and the drain of a second NMOS. The motor drive circuit comprises a first PMOS and a third NMOS having a common connection node of the drains connected with the gate of the first NMOS, a second PMOS and a fourth NMOS having a common connection node of the drains connected with the gate of the third NMOS, one or more PMOSs turned on when the final output goes low in order to charge the gate capacitance of the third NMOS and turned off when the charging ends and having a drain connected with the gate of the third NMOS, and one or more NMOSs turned on when the final output goes high in order to discharge the gate capacitance of the third NMOS and turned off when the discharging ends and having a drain connected with the gate of the third NMOS.

[続葉有]

WO 2005/088815 A1



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

第一のNMOSのソースと第二のNMOSのドレインとの共通接続点を最終出力とするモータ駆動回路において、互いのドレインの共通接続点が前記第一のNMOSのゲートに接続された第一のPMOSと第三のNMOSと、互いのドレインの共通接続点が前記第三のNMOSのゲートに接続された第二のPMOSと第四のNMOSと、最終出力がローになるとき、前記第三のNMOSのゲート容量を充電するためにオンし充電が終わるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のPMOSと、最終出力がハイになるとき、前記第三のNMOSのゲート容量を放電するためにオンし放電が終わるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のNMOSとを設けた。

明 細 書

モータ駆動回路

技術分野

[0001] 本発明は、モータのドライバとして用いられるトランジスタを低消費電力でかつ高速に駆動することができるモータ駆動回路に係るものである。

背景技術

[0002] 図4に従来のモータ駆動回路を示す。本モータ駆動回路の最終出力段に設けられたトランジスタNMOS101とNMOS102からの出力には負荷としてのコイルが結線されており、そのコイルに流す電流を制御することによってモータ(図示せず)の制御を行う。同図に示すモータ駆動回路の構成について説明する。NMOS101とNMOS102は最終出力段に設けられたドライバであり、NMOS101のソースとNMOS102のドレインとの共通接続点が最終出力となる。NMOS101のドレインには電源電圧 V_{DD} が、NMOS101のゲートにはPMOS103とNMOS104とのドレインの共通接続点からの出力が接続されている。さらに、NMOS102のゲートにはロジック回路112が、PMOS103のゲートにはロジック回路110がそれぞれ接続されている。ここで、クランプ回路であるツェナーダイオード108,109は、各ツェナーダイオードに逆方向飽和電流が流れ出すまでは、それぞれNMOS101のゲートとソース間の電位差(V_{gs})とNMOS104のゲートとソース間の電位差を確保するためにも用いられる。それと同時に、各ツェナーダイオードはNMOS101とNMOS104各々の V_{gs} への過電圧を防止するための機能も有する。最後に、PMOS105のゲートは、ロジック回路111に、NMOS106のゲート電圧は、ロジック回路113に接続されており、ロジック回路110, 111, 112, 113からの入力電圧の状態により最終出力が決定される。

[0003] 次に同図に示す従来のモータ駆動回路の動作を図5に示す従来のモータ駆動回路の電圧波形図とともに説明する。なお図5の波形図は上から最終出力のロー・ハイ、NMOS101, NMOS102, PMOS103, NMOS104, PMOS105, NMOS106のゲート電圧を示している(すなわち、NMOSのゲート電圧が高いときはNMOSはオンの状態となる)。図5に示す(A)の区間は最終出力がハイである。つまり最終出

力段を構成するドライバであるNMOS101はオン、NMOS102はオフの状態である。NMOS101がオンの状態であるためPMOS103とNMOS104のドレインの共通接続点からの出力はハイとなる。そのため、PMOS103がオンの状態であり、NMOS104はオフの状態、即ち、PMOS103とNMOS104のゲート電圧はローとなる。さらに、NMOS104がオフの状態であるためPMOS105はオンの状態、NMOS106はオフの状態である。また図5に示す(B)の区間は最終出力がローになっているが、最終出力がハイとなる(A)の区間との比較において、NMOS101, NMOS102, PMOS103, NMOS104, PMOS105, NMOS106の各々のトランジスタのオン／オフ状態と、それぞれのトランジスタのゲートへの入力電圧の状態は、(A)の区間の場合の反転した状態となる。

[0004] 最終出力がツェナーダイオード108を介してNMOS101のゲートへ、またNMOS104のソースと、ツェナーダイオード109を介してNMOS104のゲートへと出力帰還を行っているのは、NMOS101, NMOS104のソースを基準にしてNMOS101のゲート電圧を制御するためである。これにより最終出力が異常状態であることをモータ駆動回路に使用するトランジスタに検知させることができ、あるいはクランプ回路とともに用いることでモータ駆動回路に使用する素子を高耐圧設計にする必要がなくなる。

[0005] 上述した回路動作において、NMOS101とNMOS102との共通接続点からの最終出力のハイからローへの切替にはNMOS104のオフからオンへの切替が必要であり、最終出力のローからハイへの切り替えにはNMOS104のオンからオフへの切り替えが必要である。従って入力を最終出力に素早く反映させるためにはNMOS104のオン、オフの切り替え、つまりNMOS104のゲート容量および寄生容量を高速で充電し、あるいは放電することがひとつの条件である。

[0006] ここで、 $Q=IT$ (Q :電荷量, I :電流, T :時間)より、MOSTランジスタのゲート容量・寄生容量の電荷の充電はMOSTランジスタのゲートへの電流量を大きくすることにより短時間で可能となる。そのためにはNMOS104のゲートに接続されたPMOS105のドレインからの電流量を大きくすればNMOS104のゲート容量及び寄生容量への充電速度が向上し、NMOS104のゲートに接続されたNMOS106のドレインのドレ

イン電流を大きくすることで、NMOS104のゲート容量及び寄生容量の放電速度が向上する。そのため飽和状態におけるMOSTランジスタの電流方程式 $I_{ds} = K(V_{gs} - V_{th})^2$ (K:定数, V_{th} :PMOSのスレシヨルド電圧)より、PMOS105のドレイン電流を大きくするためには V_{gs} を大きくすれば良いが、ソースに接続されている電源電圧115を大きくするのは低消費電力での駆動が望まれる今日においては好ましくない。なお、上式においてKはランジスタを構成するゲート幅に比例する定数であるからゲート幅を大きくすることでも電流量を大きくすることが可能である。そしてオームの法則より $I = R/V$ であることからPMOS105のソースに接続された抵抗114の抵抗値を小さくすることでもPMOS105のドレインからの電流を増やすことができる。

発明の開示

発明が解決しようとする課題

[0007] ここで、出力がローである場合はNMOS104のゲート容量と寄生容量をPMOS105のドレイン電流によって充電してNMOS104をオンの状態に保つ必要があるが、NMOS104を高速に駆動するためPMOS105のランジスタのサイズ(W/L比)を変更するか、PMOS105のソース側の抵抗114を変更し、PMOS105のドレイン電流を大きくすると、NMOS104をオンの状態に保つ際にツェナーダイオード回路109の逆方向飽和電流量が大きくなり、最終出力段を出力方向に流れる電流が発生するため消費電力が大きくなる。また電源電圧115とPMOS105のゲート電圧の入力信号を大きくしてもNMOS104の高速駆動を実現することができるが、やはり消費電力を考慮すると好ましくない。PMOS105のドレイン電流が小さくなればツェナーダイオード109に逆方向飽和電流は小さく低消費電力を実現するものの、NMOS104を高速で駆動することができず、さらには最終出力段を構成するNMOSTランジスタ101, 102が入力に対する遅延により同時にオンして貫通電流が流れて消費電力が大きくなるとともに素子の破壊にまで繋がる恐れがある。

[0008] 本発明は従来の前記実情に鑑み、従来 of 技術に内在する欠点を解消する為になされたものであり、従って本発明の第一の目的は消費電力が少なくかつ高速に動作するモータ駆動回路を提供することであり、第二の目的は前述のモータ駆動回路を備えた半導体装置を提供することであり、第三の目的は前述の半導体装置と、前記

半導体装置により制御されるコイル、前記コイルに発生した磁界により回転子の回転数が定められるモータと、を備えたことを特徴とするモータ装置の提供である。

課題を解決するための手段

[0009] 前記第一の目的は、

モータを駆動するために最終出力段に直列に接続された第一のNMOSと第二のNMOSとを駆動し、前記第一のNMOSのソースと第二のNMOSのドレインとの共通接続点を最終出力とするモータ駆動回路において、

互いのドレインの共通接続点が前記第一のNMOSのゲートに接続された第一のPMOSと第三のNMOSと、

互いのドレインの共通接続点が前記第三のNMOSのゲートに接続された第二のPMOSと第四のNMOSと、

最終出力がローになるとき、前記第三のNMOSのゲート容量を充電するためにオンし、前記第三のNMOSのゲート容量が充電されるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のPMOSと、

最終出力がハイになるとき、前記第三のNMOSのゲート容量を放電するためにオンし、前記第三のNMOSのゲート容量が放電されるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のNMOSとを備え、

前記第一のNMOSのゲートがクランプ回路を介して最終出力に接続され、

前記第三のNMOSのソースと、クランプ回路を介した前記第三のNMOSのゲートとが最終出力に接続されたことを特徴とするモータ駆動回路によって達成される。この構成によるとスイッチング速度を速めることができるとともに、低消費電力を実現できる。

[0010] 前記第一の目的は、請求項2記載の発明である、前記クランプ回路がツェナーダイオードである請求項1記載のモータ駆動回路によっても達成される。ツェナーダイオードはその降伏現象を利用することでクランプ回路に適している。

[0011] 前記第一の目的は、請求項3記載の発明である、前記第一のNMOSと、前記第二のNMOSと、を備えることを特徴とする請求項1または請求項2のいずれかに記載のモータ駆動回路によっても達成される。

[0012] 前記第二の目的は、請求項4記載の発明である、請求項1ないし請求項3記載のいずれかのモータ駆動回路を備えることを特徴とする半導体装置によって達成される。最終出力段に設けられるNMOSは、その最終出力段のNMOSを駆動する回路部分とは別個に、あるいは同一の半導体装置に設けられる。最終出力段のNMOSには大きな電流を流すことが一般的であるため、最終出力段のNMOSを駆動する回路部分を外部に設けることで最終出力段のNMOSに過電流が流れたとしても、最終出力段のNMOSを駆動する回路部分はその影響を受けにくくなる。

[0013] 前記第三の目的は、請求項5記載の発明である、請求項4記載の半導体装置と、前記半導体装置によって駆動されるコイルを備えたモータと、を備えることを特徴とするモータ装置によって達成される。

発明の効果

[0014] 消費電力が少なく高速な動作が可能であり、最終出力段を構成するトランジスタに貫通電流が流れることがなく、その構成に用いられる素子を破壊する恐れがないモータ駆動回路を実現できる。

図面の簡単な説明

- [0015] [図1]本発明に係るモータ駆動回路の回路図(実施の形態1)
[図2]本発明に係るモータの駆動回路の電圧変動図
[図3]本発明に係るモータ駆動回路の実施の形態2(実施の形態2)
[図4]従来のモータ駆動回路の回路図
[図5]従来のモータ駆動回路の電圧変動図

符号の説明

- [0016] 1, 2, 4, 6, 6a, 6b, 16・・・NMOS
3, 5a, 5b, 18a, 18b, 20a, 20b・・・PMOS
7, 15, 21・・・電源電圧
8a, 9a・・・クランプ回路
8b, 9b・・・ツェナーダイオード
14a, 14b, 20a, 20b・・・抵抗

発明を実施するための最良の形態

- [0017] 以下、本願発明を実施するための最良な形態について説明する。図1は本発明に係るモータ駆動回路である。本モータ駆動回路の最終出力に設けられたNMOS1とNMOS2からの出力には負荷であるコイルが結線されており、そのコイルに流す電流を制御することによってモータ(図示せず)の制御を行う。最終出力には、ほぼNMOS1のドレインに接続された電源電圧 V_{DD} の電位からNMOS2のソースに接続されたグラウンドのゼロ電位の範囲が出力される。
- [0018] 図1に示す本発明に係るモータ駆動回路は図5に示す従来のモータ駆動回路と比較して、最終出力段を構成する直列に接続されたNMOS1(図4ではNMOS101に相当)のドレインに、ドレインが接続されたNMOS4(図4ではNMOS104に相当)のゲート容量と寄生容量を充放電するための手段(図4ではPMOS105が充電手段、NMOS106が放電手段)がそれぞれ複数設けられている。以下、本発明に係るモータ駆動回路の構成について説明する。
- [0019] 同図において最終出力段はNMOS1とNMOS2から構成されており、NMOS1のソースとNMOS2のドレインとの共通接続点が最終出力になっている。NMOS1のゲートにはPMOS3のドレインとNMOS4のドレインとの共通接続点が接続されており、NMOS2のゲートにはロジック回路12が接続されており、PMOS3のゲートにはロジック回路10が接続されている。クランプ回路8aはNMOS1の V_{GS} が一定以上大きくなるのを防止するための保護回路であり、ツェナーダイオードやダイオードが用いられる。クランプ回路9aも同様の目的でNMOS4のゲート・ソース間に設けられている。NMOS4のゲートにはPMOS5aとPMOS5_bとのドレインの共通接続点と、NMOS6aとNMOS6_bとのドレインの共通接続点が接続されており、NMOS4のゲート容量と寄生容量はPMOS5aとPMOS5_bのドレイン電流によって充電され、NMOS6aとNMOS6_bとのドレイン電流によって放電される。なお、PMOS5aのゲートにはロジック回路11aが、PMOS5aのソースには抵抗14aを介して電源電圧 V_{DD} が、PMOS5bのゲートにはロジック回路11bが、PMOS5bのソースには抵抗14bを介して電源電圧 V_{DD} が、NMOS6aのゲートにはロジック回路13aが、NMOS6bのゲートにはロジック回路13bが接続されており、NMOS6a、6bのソースはそれぞれ接地されている。

[0020] 最終出力がクランプ回路8aを介してNMOS1のゲートへ、またNMOS4のソースとクランプ回路9を介してNMOS4のゲートへと出力帰還を行っているのは、NMOS1、NMOS4のソース電位を基準にしてNMOS1のゲート電圧を制御するためである。これにより最終出力が異常状態であることをモータ駆動回路に使用するトランジスタに検知させることができ、あるいはクランプ回路とともに用いることでモータ駆動回路に使用する素子に耐圧を超えた電圧がかかるのを防止することができる。

[0021] 以下、図1に示す本発明に係るモータ駆動回路についての動作を図2に示す本発明に係るモータ駆動回路の電圧波形図を用いて説明する。なお図2の波形図は上から最終出力のロー・ハイの状態と、NMOS1, NMOS2, PMOS3, NMOS4, PMOS5a, PMOS5b, NMOS6a, NMOS6bについてのゲート電圧を示している(すなわち、NMOSのゲート電圧が高いときはNMOSはオンの状態となる)。図2に示す(A₁)の区間は最終出力がハイになっており、(B)に示す区間との切り替わる直前の瞬間、すなわち最終出力がハイからローへ切り替わる直前の区間を除いて最終出力段を構成するドライバであるNMOS1はオンの状態である。一方でNMOS2は同区間において常にオフの状態である。NMOS1がオンの状態であるときはPMOS3とNMOS4のドレインの共通接続点からの出力はハイであるためPMOS3はオン、NMOS4はオフの状態である。NMOS4がオフの状態であるときはPMOS5aとPMOS5bはオフの状態である。一方、NMOS4の放電手段であるNMOS6aとNMOS6bだが、区間(A₁)から区間(B)への切り替わりの直前の区間を除いては、NMOS6aはオンの状態であり、NMOS6bは常にオフの状態である。すなわち最終出力をハイで維持するため、すなわちNMOS4をオフの状態で維持するためのゲート容量と寄生容量の放電をNMOS6aのみで行っていることになる。NMOS6bの動作については後述している。

[0022] 同図に示す(A₁)から(B)へ切り替わる直前の瞬間、すなわち最終出力がハイからローへ切り替わる直前の瞬間はNMOS6aがオフになるとともにPMOS5aとPMOS5bがオンの状態になる。NMOS4のゲート容量と寄生容量の充電を2つの充電手段で行い、ゲート容量と寄生容量が充電された後は最終出力をローで維持するためのNMOS4のオン状態での維持はPMOS5aのドレインからの電圧のみで行い、PMO

S5bはオフの状態となる。ここでNMOS4をオン状態で維持するためのNMOS4の V_{gs} を確保するためにPMOS5aのドレイン電流は、クランプ回路9に逆方向電流が発生するスレシヨルドを少し超える大きさであることが望ましい。またNMOS4のゲート容量と寄生容量を充電するときだけオンするPMOS5bのドレインからのドレイン電流は抵抗14bと電源電圧15等の要因によって決定される。また同図においてNMOS4のオフからオンへの切り替わりとともにPMOS3もオンからオフの状態に切り替わっている。これによりNMOS1のゲート電圧が決定される。NMOS2はNMOS1との貫通電流を発生させないため、NMOS1のオンからオフへの切り替わりのタイミングに少し遅延をもたせている。そしてNMOS2のオフからオンへの切り替わりと同時に最終出がローになる。

[0023] 図2に示す(B)の区間は最終出力がローになっており、NMOS1はオフ、NMOS2は(A₂)に切り替わる直前の区間を除いてはオンの状態になっている。(B)に示す区間においてNMOS1は常にオフの状態であるからPMOS3とNMOS4からの出力はローであり、PMOS3はオフ、NMOS4はオンの状態である。NMOS4がオンの状態であることからNMOS4のゲート容量と寄生容量の充電手段は起動しているのだが、先述したとおりNMOS4がオンになったあとはPMOS5aのみによってNMOS4の V_{gs} が確保されるためPMOS5aのみがオンの状態である。NMOS2は電源電圧7とNMOS1とで貫通電流を発生させないように後述するNMOS1の動作に比較して早いタイミングでオフの状態となる。

[0024] (B)の区間から(A₂)の区間への切り替わる時、すなわち最終出力がローからハイに切り替わる時は、NMOS1はオンとなることからPMOS3はオン、NMOS4はオフの状態である。そのためNMOS4のゲート容量と寄生容量を放電する放電手段が起動している。このとき最終出力を高速に動作させるためにはNMOS4のゲート容量と寄生容量を瞬時に放電する必要があるため、NMOS6aとNMOS6bの二つの放電手段が起動してNMOS4の寄生容量を放電した後は、NMOS6bは停止している。この放電手段の制御のためのゲート電圧への電圧の印加によってはNMOS4のゲートとソース間の漏れ電流以外に電力を消費する要因はほぼないために最終出力の出力方向への電流の発生を抑止して消費電力の低減につながるものではないが、

ゲート電圧の印加手段を複数設けることでNMOS4のゲート容量と寄生容量の高速な放電を実現している。これは低電圧駆動を実現するために電源電圧15が十分大きな電源でないとき、あるいはロジック回路13a, 13bからのNMOS6a, 6bのゲート電圧が大きくとれないときに特に有効である。

[0025] 従来のモータ駆動回路では高速性を確保するための消費電力の増大か、あるいは消費電力を下げるために高速性を犠牲にするかの択一的な選択をせざるを得なかったが、本発明に係るモータ駆動回路は入力に対する出力の高速性を確保するとともに、低消費電力を実現するものである。

[0026] 最終出力段がNMOSのみで構成されているモータ駆動回路については最終出力段に設けられた電源側のNMOSのソースを基準にして最終出力段に設けられたNMOSのゲートの電圧駆動を行うため、最終出力をモータ駆動回路に反映する必要がある。このような場合には最終出力段に設けられる電源側のNMOSの放電を行うためのNMOSのソースに最終出力が接続されるので、最終出力段に設けられた電源側のNMOSをオフの状態にするためのNMOSのゲート電圧を保持し続けるために最終出力段のグランド側のNMOSのドレイン電流や、最終出力の出力方向に電流が発生し続けてしまうのである。なお、先に述べたPMOS5bやNMOS6bのような、一定期間だけ起動する充電手段、あるいは放電手段は複数あっても良い。

[0027] 本発明に係る発明の第二の実施例を図3に示す。図3は図1に示す本発明に係るモータ駆動回路のクランプ回路にツェナーダイオード用いるとともに放電手段を変形したものである。正確には図1に示す本発明にかかわるモータ駆動回路に比較してNMOS6bとロジック回路13bを取り除き、NMOS6とミラー結合されたNMOS16と、NMOS6とNMOS16とのゲートに接続されるPMOS18a, 18bと、ロジック回路19a, 18bと、抵抗20a, 20bとが設けられている。クランプ回路にツェナーダイオードを用いるのは、ツェナーダイオードの逆方向降伏電圧の特性がクランプ回路に望ましい性質を持つからである。NMOS4のゲート容量と寄生容量の充電手段はPMOSのドレイン電流の経路はひとつだけであり、NMOS4のゲート容量と寄生容量の放電手段としてミラー結合されたNMOSのゲート電圧を3段階のレベルでの調整を行うものである。なお、同図に示す番号と、図1に示す番号に対応する構成要素には同一の番

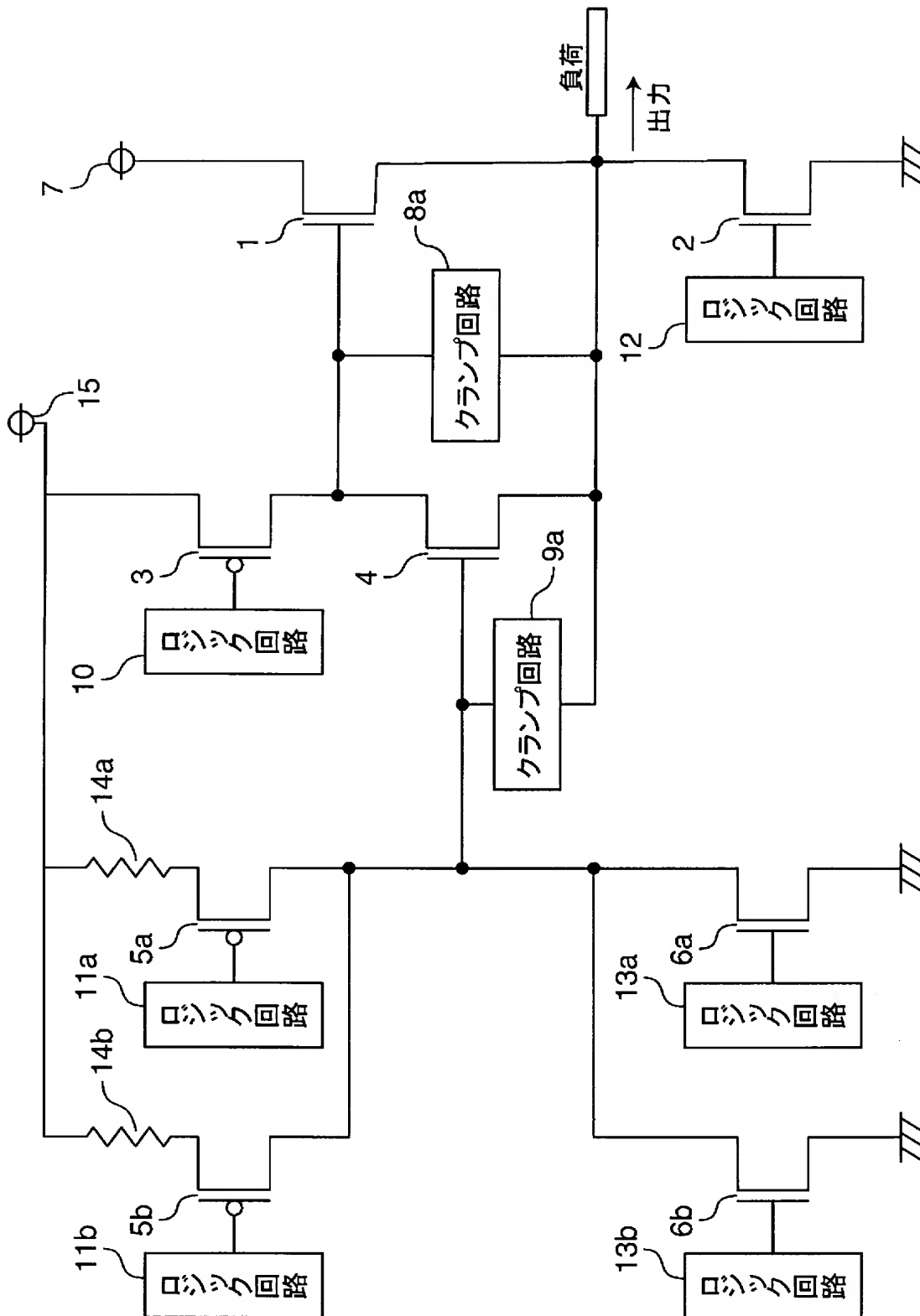
号を付している。

- [0028] 図3に示す本発明にかかわるモータ駆動回路の第二の実施例を使用することで、発明者は図4に示すモータ駆動回路と比較して入力に対する出力の時間変化が 1μ 秒から約 0.4μ 秒への短縮と、最終出力をローで維持するための最終出力からの出力方向への電流が 0.7mA から 0.3mA に低減に成功し、スイッチング動作の高速化と低消費電力化を実現した。
- [0029] また図示しないが、本発明のモータ駆動回路を備えた半導体装置と、該半導体装置によって駆動されるコイルを備えたモータと、からなるモータ装置は、従来と比較してモータ駆動回路を備えた半導体装置への制御信号がモータ装置の出力としての所望の回転数に素早く反映されるため、前記モータ装置を備えたプリンタ等の電子機器は良好な動作状態を示す。
- [0030] 本願発明は上述した実施形態に限られることなく、特許請求の範囲に記載した事項の範囲内でのあらゆる設計変更はすべて本願発明の範囲に含まれる。

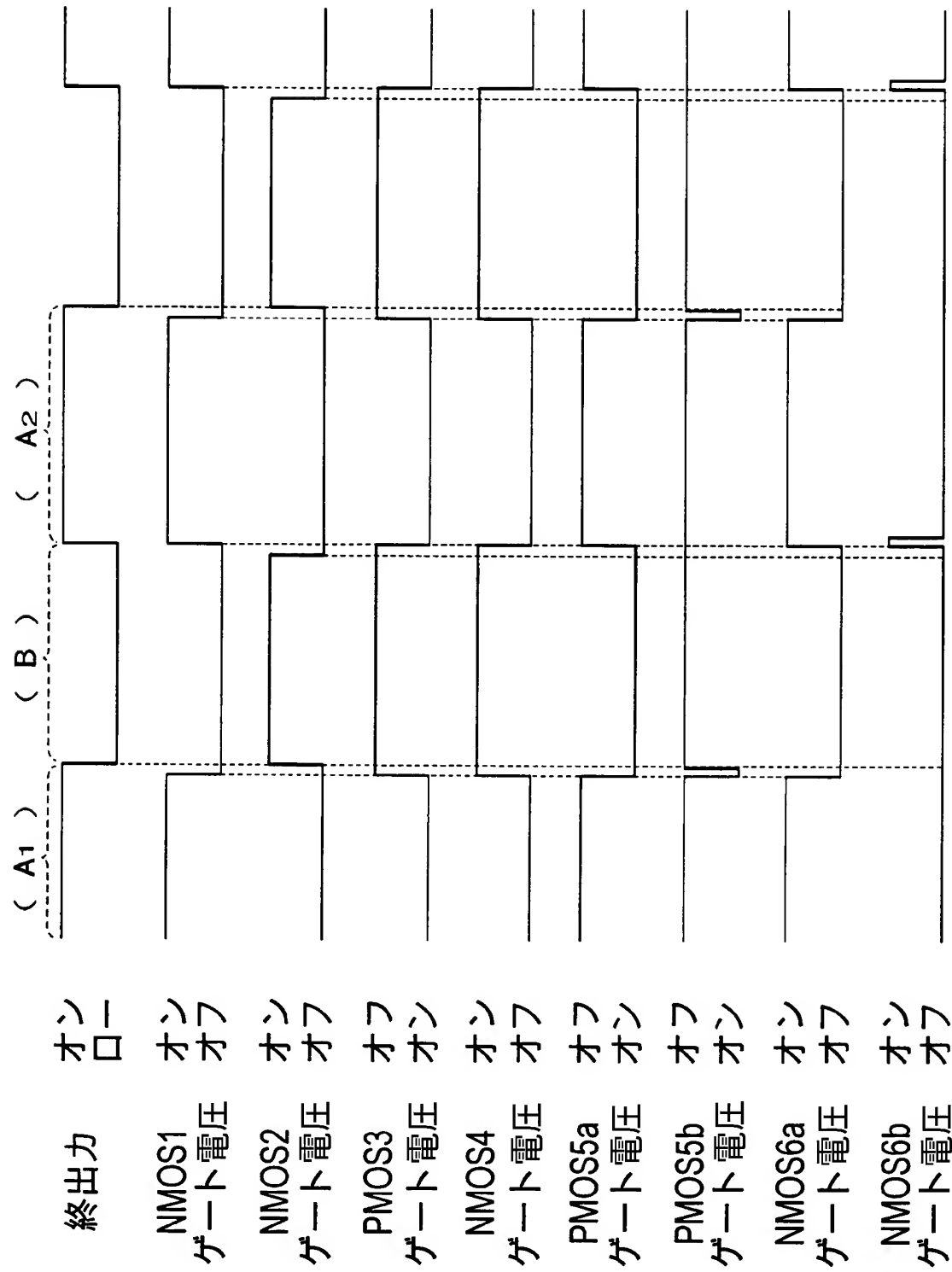
請求の範囲

- [1] モータを駆動するために最終出力段に直列に接続された第一のNMOSと第二のNMOSとを駆動し、前記第一のNMOSのソースと第二のNMOSのドレインとの共通接続点を最終出力とするモータ駆動回路において、
- 互いのドレインの共通接続点が前記第一のNMOSのゲートに接続された第一のPMOSと第三のNMOSと、
- 互いのドレインの共通接続点が前記第三のNMOSのゲートに接続された第二のPMOSと第四のNMOSと、
- 最終出力がローになるとき、前記第三のNMOSのゲート容量を充電するためにオンし、前記第三のNMOSのゲート容量が充電されるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のPMOSと、
- 最終出力がハイになるとき、前記第三のNMOSのゲート容量を放電するためにオンし、前記第三のNMOSのゲート容量が放電されるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のNMOSとを備え、
- 前記第一のNMOSのゲートがクランプ回路を介して最終出力に接続され、
- 前記第三のNMOSのソースと、クランプ回路を介した前記第三のNMOSのゲートとが最終出力に接続されたことを特徴とするモータ駆動回路。
- [2] 前記クランプ回路がツェナーダイオードである請求項1記載のモータ駆動回路。
- [3] 前記第一のNMOSと、前記第二のNMOSと、を備えることを特徴とする請求項1または請求項2のいずれかに記載のモータ駆動回路。
- [4] 請求項1ないし請求項3記載のいずれかのモータ駆動回路を備えることを特徴とする半導体装置。
- [5] 請求項4記載の半導体装置と、前記半導体装置によって駆動されるコイルを備えたモータと、を備えることを特徴とするモータ装置。

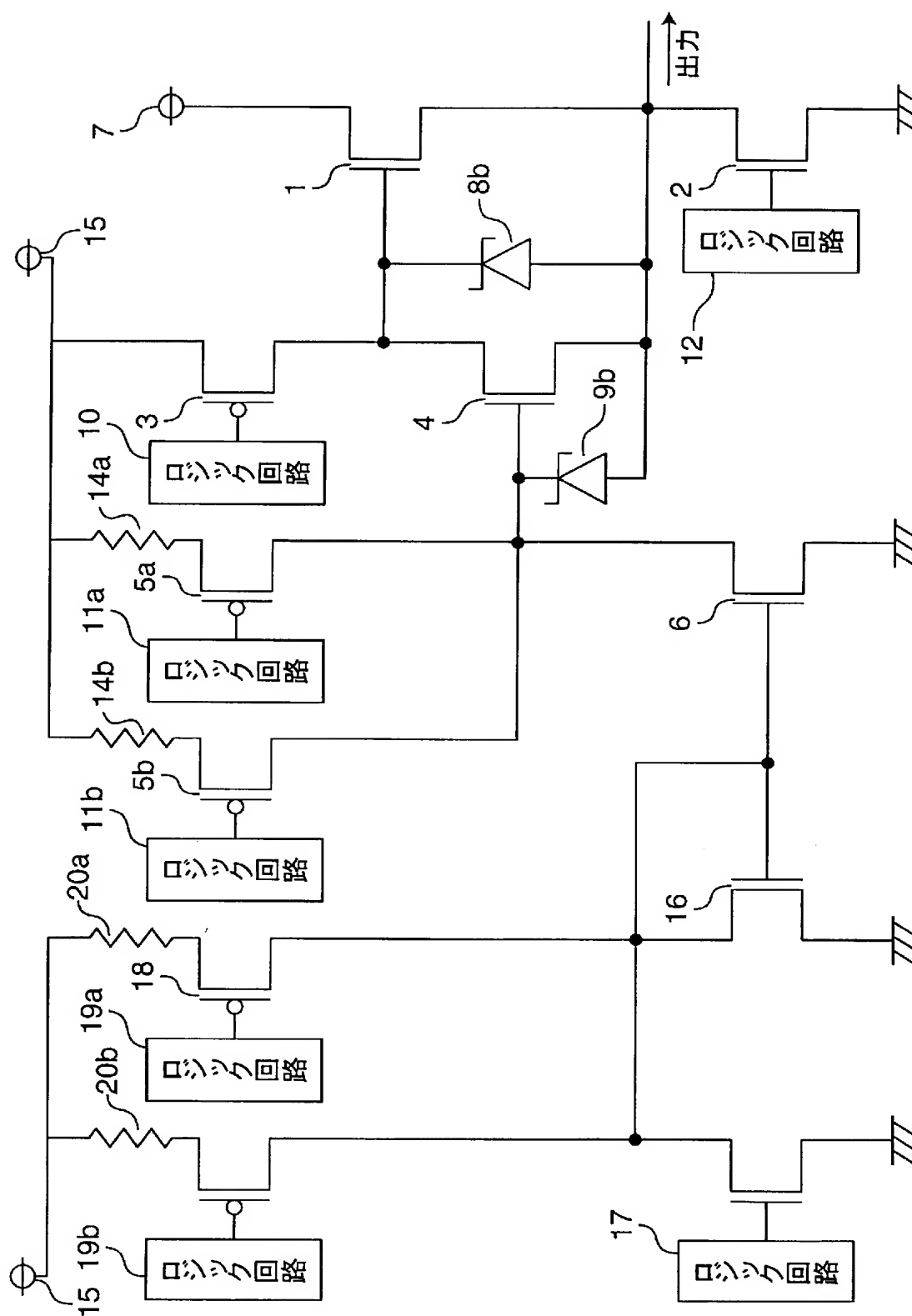
[図1]



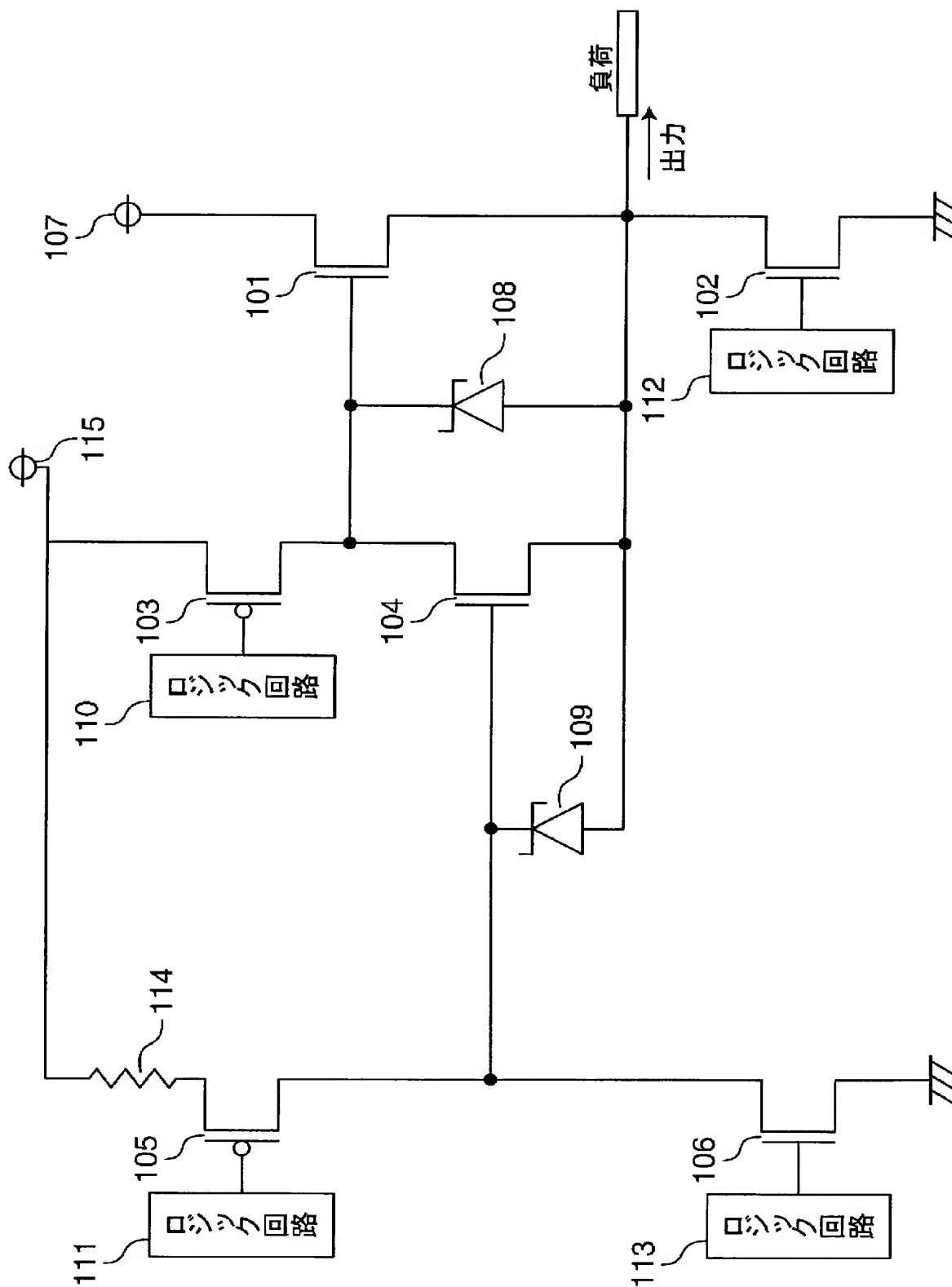
[図2]



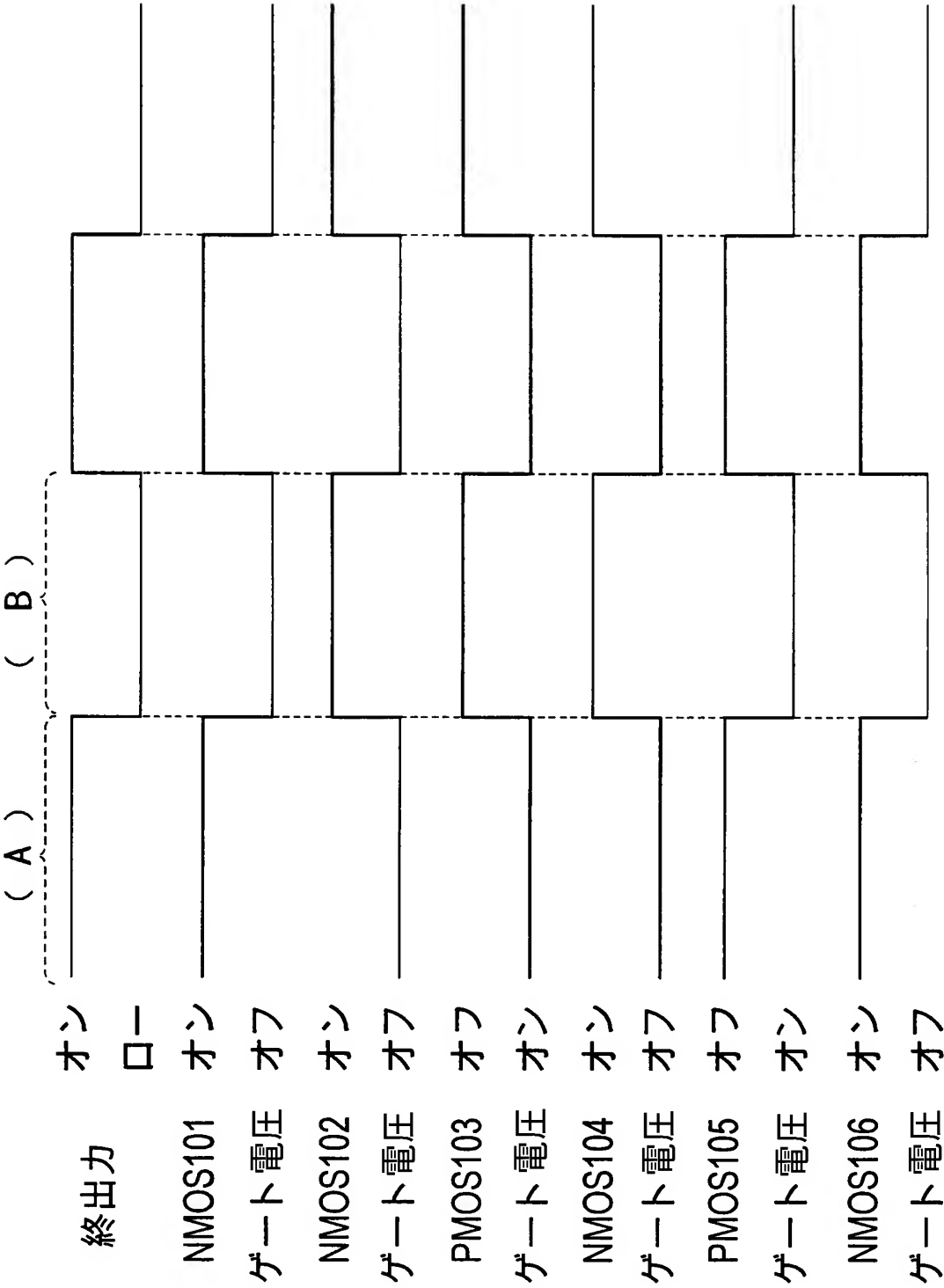
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004220

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H02M1/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H02M1/00-1/30, H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-61366 A (Sanyo Electric Co., Ltd.), 28 February, 2003 (28.02.03), Par. Nos. [0006] to [0041]; Fig. 1 (Family: none)	1-5
Y	JP 10-107602 A (Hitachi, Ltd.), 24 April, 1998 (24.04.98), Par. Nos. [0002] to [0053]; Figs. 1 to 7 (Family: none)	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
11 May, 2005 (11.05.05)Date of mailing of the international search report
24 May, 2005 (24.05.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷

H02M 1/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷

H02M 1/00-1/30

H03K 17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2005年

日本国実用新案登録公報 1996-2005年

日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-61366 A (三洋電機株式会社) 28.02.2003, 【0006】-【0041】, 図1 (ファミリーなし)	1-5
Y	JP 10-107602 A (株式会社日立製作所) 24.04.1998, 【0002】-【0053】, 図1-7 (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

11.05.2005

国際調査報告の発送日

24.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356